

BEST AVAILABLE COPY

THIN FILM ELECTRIC DEVICE WITH AMORPHOUS CARBON ELECTRODE AND
MANUFACTURE OF THE SAME

Patent number: JP63142690
Publication date: 1988-06-15
Inventor: ROJIYAA DABURIYU PUREIAA; NAPOREON PII
FUOOMIGONI; SUTANFUOODO AARU
OBUSHINSUKII
Applicant: ENERGY CONVERSION DEVICES INC
Classification:
- **international:** H01L21/28; H01L27/10; H01L29/46; H01L45/00
- **european:** H01L45/00B
Application number: JP19870298875 19871126
Priority number(s): US19860936552 19861126

Also published as:



EP0269225 (A2)

EP0269225 (A3)

Report a data error here

Abstract not available for JP63142690
Abstract of corresponding document: **EP0269225**

Thin film electrical structures, such as threshold switching devices and phase change memory cells, preferably utilizing electrically stable, relatively inert, conductive electrodes including a non-single-crystal deposited film of carbon material, are disclosed. The film of carbon material, which preferably is amorphous and substantially pure, is disposed adjacent to a layer of active material such as an amorphous semiconductor, and serves to prevent undesired degradation of the active material, especially when the device is carrying appreciable current in its on-state. A method of making such structures with high quality interfaces between the semiconductor layer and the conductive carbon barrier layers adjacent thereto by successively depositing such layers in a continuously maintained partial vacuum is disclosed. The method may include a step performed in the vacuum for hermetically sealing all of, or at least the electrically switchable portion of, the active layer against subsequent contamination. Thin film structures suitable for threshold switching or memory applications and employing insulating pores having substantially sloped side walls are also disclosed.

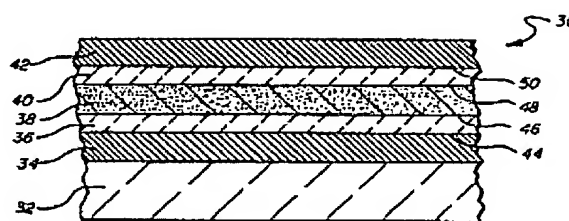


FIG. 1

Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-142690

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)6月15日

H 01 L 45/00
21/28
27/10
29/46

3 0 1
4 5 1

B-6655-5F
Z-7638-5F
8624-5F
Z-7638-5F

審査請求 未請求 発明の数 1 (全19頁)

⑮ 発明の名称 非晶質炭素電極を備える薄膜電気装置およびその製造方法

⑯ 特 願 昭62-298875

⑰ 出 願 昭62(1987)11月26日

優先権主張 ⑱ 1986年11月26日 ⑲ 米国(US) ⑳ 936552

⑲ 発 明 者 ロジャー・ダブリュ・ アメリカ合衆国、ミシガン・48013、ブルームフィールド・ヒルズ、マリブ・4918
ブレイアー
⑲ 発 明 者 ナポレオン・ピー・フ アメリカ合衆国、ミシガン・48009、バーミンガム、アス
オーミゴニ ベン・ロード・570
⑲ 発 明 者 スタンフォード・アー アメリカ合衆国、ミシガン・48013、ブルームフィールド・ヒルズ、スクワイレル・ロード・2700
ル・オブシンスキー
⑲ 出 願 人 エナジー・コンバー アメリカ合衆国、ミシガン・48084、トロイ、ウエスト・
シヨン・デバイセス・ メイプル・ロード・1675
インコーポレーテッド
⑲ 代 理 人 弁理士 川口 義雄 外2名

明 細 書

1. 発明の名称

非晶質炭素電極を備える薄膜電気装置およびその製造方法

2. 特許請求の範囲

(1) 電流搬送部分を少なくとも1つ有する少なくとも1つの第1電極と、

前記第1電極から間隔をあけて配置されている第2電極と、

前記両電極の間に配設される切換え可能半導体材料層を含む電気装置であつて、

該装置が前記第1電極の前記一部分と少なくとも密接な電氣的接触にある導電性、非晶結晶、相安定性の非切換え炭素材料から成る第1堆積膜をさらに含んでおり、前記膜が前記第1電極と前記切換え可能半導体材料との間で電流を搬送するように構成されていることを特徴とする電気装置。

(2) 前記炭素材料膜が実質的に非晶質である、特許請求の範囲第1項に記載の電気装置。

(3) 前記半導体材料がメモリ材料である、特許請求の範囲第1項に記載の装置。

(4) 前記メモリ材料の少なくとも一部分が、前記炭素材料膜を介して印加される電流により高抵抗無秩序状態と低抵抗秩序化状態との間で切換え可能である、特許請求の範囲第3項に記載の電気装置。

(5) 前記半導体材料が閾値切換え材料である、特許請求の範囲第1項に記載の電気装置。

(6) 前記閾値切換え材料が閾電圧値と該材料を通る電流を実質的に遮断して遮断状態を提供する高い電気抵抗とを有しており、前記閾電圧値を超える電圧に反応して前記高電気抵抗が少なくとも1つの導電路において急速に減少して前記高電気抵抗より桁違いに低い低電気抵抗となり、該材料に電流を通ず導通状態を提

特開昭63-142690(2)

供する、特許請求の範囲第5項に記載の電気装置。

(7) 前記炭素材料膜の膜厚が約2,000Å未満である、特許請求の範囲第6項に記載の電気装置。

(8) 前記第1電極がモリブデンである、特許請求の範囲第1項に記載の電気装置。

(9) 前記第2電極の前記一部分および前記半導体材料の^(お)体の前記電流搬送部分と密接な電氣的接触にある導電性、非単結晶、相安定性の非切換え炭素材料から成る第2堆積膜をさらに含む、特許請求の範囲第1項に記載の電気装置。

(10) 前記各薄膜材料を1つが他の上になるよう積層形成することにより、前記装置内の前記第1電極と第2電極の間に電流導電路が形成される際は、該導電路が前記薄膜炭素材料および前記半導体材料を実質的に垂直方向に通

つて延びる、特許請求の範囲第9項に記載の電気装置。

(11) 前記第1炭素材料膜と第2炭素材料膜とが実質的に水平方向に相互から間隔を置いて配設されており、前記第1電極と第2電極とが実質的に水平方向に相互から距離を置いて配設されており、前記半導体材料の少なくとも一部分が概ね前記第1炭素材料膜と第2炭素材料膜との間に延びて、電流導電路の形成時には該導電路が実質的に水平方向に前記両炭素材料膜間の前記半導体材料を通つて延びる、特許請求の範囲第9項に記載の電気装置。

(12) 少なくとも1つの電極と1つの炭素材料膜と前記半導体材料の層とでメサ構造を形成する、特許請求の範囲第9項に記載の電気装置。

(13) その中に前記半導体材料の少なくとも一部分が延びる開口部を有する絶縁性材料層をさらに含む、

前記第1炭素材料膜と前記第1電極の電流搬送部分が前記開口部下方に配設されており、

前記第2炭素材料膜と前記第2電極の電流搬送部分が前記開口部内の前記半導体材料部分の上方に配設されており、

かくして前記装置内に形成される前記電流導電路が前記開口部内に配設されている前記半導体材料部分を通つて前記両電極の電流搬送部分間にはば直に延びる、特許請求の範囲第9項に記載の電気装置。

(14) 前記開口部が前記電流導電路に対してほぼ直交して少なくとも1つの寸法を有しており、該寸法が約5ミクロン未満である、特許請求の範囲第13項に記載の電気装置。

3. 発明の詳細な説明

発明の分野

本発明は一般には導電性であり、比較的の不活性な材料を被覆または電極として用いた薄膜電気装

置、より詳細には閾値切換え装置および相変更メモリ装置のような固体半導体装置、およびそれらの装置に使用される障壁層を備えたセル、構造および電極に係わる。

発明の背景

ある種の電気装置、例えばある種の半導体装置は電氣的接点または電極として導電性でかつ比較的の不活性の材料層を1つまたはそれ以上使用している。この比較的の不活性の導電層は障壁層とも称されるが、不純物や装置内の他所に使用される異物が隣接する半導体材料の活性領域の中に拡散または移動等により侵入して汚染するのを防止する。導電性材料の中にはアルミニウムのように、各種非晶質半導体材料のようなある種の半導体材料の中に侵入すると劣化作用をもつものがある。このような問題を無くすべく特に注意を払う必要のある種類の半導体装置2例について、次に簡単に説明することにする。

特開昭63-142690(3)

A. 閾値切換え装置

S.R. Ovshinsky によつて最初に発明されたような閾値切換え装置は、閾電圧と最小保持電流を含む双安定特性を有する切換え装置である。特定の閾値切換え装置は、閾値切換え半導体材料とそれに接触する少なくとも1対の電極を含む。閾値切換え半導体材料は閾電圧値を有し、その閾電圧値以下での高抵抗は該材料を通る電流を実質的に遮断する遮断条件を提供する。閾電圧値以上の電圧は電極間の少なくとも一方の導電路において抵抗の急速な減少を起させて、前記高抵抗より桁違いに低い抵抗とし、該半導体材料に電流を導通する状態または導通路を構成する。少なくとも最小保持電流が装置内の導電路を流れ続けている限り、このような導電状態または導通路が維持される。電流がこの最小保持電流値以下まで低下すると、装置は直ちに高抵抗遮断状態に戻る。閾値スイッチが導通状態にある時は抵抗が桁違いに低く

的な電流・電圧(I-V)特性を呈するため、交流用途に用いられるのが普通である。閾値スイッチはアンビポーラー装置であり、1つまたはそれ以上の導電路内の電流が正孔と電子の両方から成る。閾値装置は電流密度が非常に高くなる場合がある。閾値スイッチは適切に駆動するとその切換え速度をナノ秒カンドの領域またはそれ以下と極めて速くすることができる。一般の閾値スイッチは好適には非晶質半導体材料から成る薄膜で構成され、半導電性ガラスとも呼ぶことができるが、S.R. Ovshinsky の米国特許第3,715,634号に記載されているようなその他の形式の閾値スイッチも幾つか存在する。2つの端末閾値装置は一旦オンにすると、装置内を流れる電流を通常は1マイクロ秒カンドを相当下回る所要時間に亘つて最小保持電流以下に下げない限りオフにすることはできない。

S.R. Ovshinsky の米国特許第3,571,670号

なるため、導通状態にある時の閾値スイッチの半導体材料両端での電圧降下は、スイッチの閾電圧値近辺で固定した場合、装置が高抵抗遮断状態にある時の材料両端での電圧降下に比べてごく小さいものになる。

上記のような閾値切換え作用を有する半導体材料を製造するためには、適当な比率と方法で組合せれば各種成分の多くの組合せが有効であることが証明されている。このような材料およびその材料を用いて構成した閾値切換え装置についての記載を、下に列記する米国特許の中に見ることができ

3,271,591	3,571,671
3,343,034	3,571,672
3,571,669	3,588,638
3,571,670	3,611,063

上記の形式の閾値スイッチは、2つの端末装置として構成されるのが普通である。これらは対称

および第3,571,672号に開示される閾値切換え装置は、装置の活性領域または層に使用する閾値切換え半導体材料として炭素を用いている。米国特許第3,571,670号は、ホウ素を主成分とする閾値切換え半導体材料に20多までの炭素を使用することを開示しており、米国特許第3,571,672号は、基本的にはシリコンと炭素から成る閾値切換え半導体材料に50多まで炭素を含ませることを開示する。これらの特許も他の前記特許と同様に、電極材料として黒鉛を使用することを教示している。

B. メモリ半導体装置およびその材料

幾つかの種類の薄膜メモリ材料が関係技術分野で周知である。これらのメモリ材料は当初高抵抗状態の実質的に非晶質の材料として製造されるのが普通である。中には1回しかプログラムできないものもあり、また何回もプログラムできるものもある。下記の特許がこのようなメモリ材料

数種類について、その製造方法および電子メモリアレーでの使用方法について詳細に記載している。

3,573,757	3,846,767
3,629,863	3,875,566
3,675,090	3,877,049
3,699,543	3,886,577
3,816,197	4,499,557

上記特許に記載された堆積膜メモリ装置は、一般にメモリ非晶質半導体材料層を含む二端子及安定形装置であり、この半導体材料は層の間隔をあけた部分に印加される電圧が一定の閾電圧を超えると安定した低抵抗状態にトリガー（設定）され電流を導通する。電流の導通時間は、導通終了後に緩慢に冷却することにより電流の通る部分の層を低抵抗の結晶質状態、即ちより秩序化状態に変更できる程度とする。この状態は印加電圧および電流を除去しても、永久に続くものである。

このようなメモリ材料の中には実質的に非可逆

り結晶質の状態に交換される。

C. 先行技術の電極と障壁層

閾値切換え装置とメモリ半導体装置の両方を開示するS.R. Ovshinskyの米国特許第3,271,591号は、これらの装置に使用する電極は装置内に含まれる半導体材料に対して比較的の不活性の導電性材料で形成するべきであると述べている。またアルミニウム電極は、閾値切換え装置を遮断状態に至らしめることができ、また金の電極は半導体材料中に拡散し易いことも教示している。

S.R. Ovshinskyの米国特許第3,343,043号は、閾値切換え半導体装置に使用される電極はタンタル、黒鉛、ニオブ、タングステン、モリブデンのような高融点金属が好適であることを開示するが、ここに挙げられた材料は何れも半導体材料に対して比較的の不活性である。

R. Nealeの米国特許第3,611,063号は、薄膜電極を備えた全薄膜閾値切換え装置およびメ

特開昭63-142690(4)

的、即ち再設定不能のものがある。その他は高抵抗状態に再設定することができる。

S. Holmbergらの米国特許第4,499,557号並びに第4,599,705号は、プログラム可能論理アレーに使用するプログラム可能セルを開示している。これらのセルの高度の非導電状態は高導電状態に設定することができ、実質的に再設定は不可能である。米国特許第4,499,557号は、このようなプログラム可能セルに使用する相変更メモリ材料としてドーパ非晶質シリコン合金を開示している。米国特許第4,599,705号はその中に開示したプログラム可能セルに使用し得る相変更メモリ材料として、100原子%の非晶質炭素、および100~0原子%の炭素と0~100原子%のシリコンから成る炭素・シリコン合金を開示している。適当な電流および電圧パルスを印加することによつて、セルのメモリ材料の少なくとも一部分がその非晶質状態から導電性が高いと

メモリ半導体装置の製造方法及び使用法を開示する。

この特許の開示によると、優れた導電体であれば実質的にどれでも使用でき、特に高融点のものが特に好適であるとし、電極材料として使用される材料として具体的にタンタル、ニオブ、タングステン、モリブデンまたはそれらの混合物を挙げた上でモリブデンが好適であるとしている。

R. Nealeの米国特許第3,675,090号は、電極形成材料として実質的に非晶質のモリブデン、タンタル、ニオブ、タングステンのような耐熱導電性材料および耐熱性金属酸化物、炭化物（例えば炭化モリブデン）炭化物（例えば炭化バナジウム）を使用できる薄膜半導体装置を開示している。

W. Buckleyの米国特許第3,877,049号は、単結晶を含有する貴金属またはプラチナ、最も好適にはケイ化パラジウムをエピタキシャル層としてシリコンサブ基板上に成長させて構成する電極を開示している。

特開昭63-142690(5)

Holmberg らの米国特許第 4,499,557 号は、
チタン・タンゲステンのような耐熱金属合金をメモ
リ半導体装置の導電性障壁層として使用すること
を開示している。

R.W. Pryor 著、「閾値切換えのメカニズムに
ついて」、ペンシルベニア州立大学博士論文
(1972年12月)において、閾値スイッチの
基板と2つの電極のうちの一方を導電性ガラス質
炭素で形成する方法が報告されている。閾値スイ
ッチをカルコゲニドとし、第2電極スイッチを熱
分解黒鉛から成る接触点とする。このスイッチは
閾値スイッチに関連する特性の1つである遮断オ
ン状態を示さなかつた。ガラス質炭素電極が動作
性を阻害する要因であると同定されたが、それは
他の閾値スイッチで同じカルコゲニド半導体切換
え材料と熱分解黒鉛の接触点から成る2つの電極
を有するものが満足に動作するためである。

上に引用した米国特許は、本発明を用いて改良

し得る形式の閾値切換え装置およびメモリ装置を
示しているため、それらの内容は本明細書中に含
まれる。しかし上記特許の中に、何れかの形式の
固体半導体装置その他の電気装置において、障壁
層または電極として炭素の堆積膜を使用すること
を教示または示唆しているものはない。

(以下余白)

発明の効果

本発明の目的は、非単結晶炭素を堆積した導電
膜から成る新しい形式の導電障壁層を用いた閾値
切換え装置、メモリ装置およびその他の電流搬送
電気装置の改良を提供することである。

本発明の別の目的は、半導体装置の上部電気接
点として使用される安定性が高く平滑で不活性の
導電表面、特に不純物または他の原子または分子
が拡散、移動その他により侵入したりそこから出
ることによつて悪影響を受ける半導体材料または
その他の活性材料を1種類またはそれ以上使用す
る導電面を提供することである。

本発明のさらに別の目的は、非常に広範囲の抵
抗率をもつて容易に製造できる電気装置用電極材
料を提供することである。

本発明のさらに別の目的は、特に直流用途およ
び電圧制限用途において優れた閾電圧安定性を有
する閾値切換え装置を提供することである。

本発明のもう1つの目的は、導電性、安定性が
つ高不活性の障壁層を堆積形成された電極を有す
る電気装置の製造方法の改良を提供することであ
る。

本発明はその一面として、電流搬送部分を少な
くとも1つ有する少なくとも1つの第1電極と、
前記第1電極の少なくとも前記一部分と密接な電
氣的接触にある導電性、非単結晶、相安定性の非
切換え炭素材料の第1堆積膜とを含んで成る電気
装置を提供する。炭素材料膜と電極の電流搬送部
分とは、該炭素材料も装置の電流搬送部分となる
ように配設される炭素材料膜は実質的に非晶質と
するのが望ましい。ここで用いる「非晶質」の用
語は、短距離または中間距離の秩序を有してい
たり、または場合により結晶質混在物を含んでいる
場合であつても、長距離無秩序を有する全ての材
料または合金を含む。

本発明において使用する炭素材料膜は、スパツ

特開昭63-142690(6)

タリングのパワー密度、使用圧力、基板バイアス、基板温度等、一定の堆積パラメータを制御することにより容易に調整できる。一般にこのような炭素材料の用途では、膜の電気抵抗率を約 $10^4 \Omega/\text{cm}$ 未満にすることを要する場合が多い。また炭素材料膜の抵抗率を、約 $10^3 \Omega/\text{cm}$ 未満にしなければならない場合も多い。幾つかの重要な用途、例えば低電圧閾値切換え装置やメモリ半導体装置については、電気抵抗率を約 $1 \Omega/\text{cm}$ 未満にするのが望ましい。

ここで使用する「炭素材料」の語句はその最も広い意味において、主として炭素から成り、本明細書に好適実施態様として開示する実質的に純粋な炭素材料の本質的属性を有する材料を指す。実際にはこのような炭素材料は約70～90重量%またはそれ以上の炭素を含有すると考えられる。炭素材料は炭素以外の元素、混合物または化合物を1種またはそれ以上の不純物、ドーパントまた

は改質剤として実質の比率または微量比率で含有することができる。例えば周知の、あるいは後になつて発見された所定の元素、混合物または化合物は導電率、熱伝導率、熱安定性、構造的结合性といった選定特性の1つまたはそれ以上を、実質的に純粋な炭素材料の場合に比べて変更または改善することができる。本発明の構造内においてこのような炭素材料が実質的に純粋な炭素材料の代わりに使用される限りにおいて、それも広義的に本発明の範囲に含まれる。

本発明による幾つかの電気装置は、半導体材料本体を含み、該本体は本発明の炭素材料膜と密接な電気的接触にある電流搬送部分を少なくとも1つ有する。半導体材料本体は、該半導体材料と電極の電流搬送部分の間を流れる電流が炭素材料の薄膜を通過するように配設されるのが普通である。半導体材料は先に記載したメモリ材料や閾値切換え材料など特定の形を幾つでもとり得る。

本発明の典型的電気装置は、この他に第1電極から間隔をあけて配設されて電流搬送部分を少なくとも1つ有する第2電極と、第2電極の電流搬送部分および半導体材料の電流搬送部分と電気的に密接に接触する導電性、非単結晶、相安定性の非切換え炭素材料から成る第2堆積膜とを含む。

半導体材料と、第1および第2炭素材料膜と、第1および第2電極とを含む本発明の電気装置は薄膜材料で形成するのが好適である。用途により炭素膜の厚さを2,000 Åから約1ミクロンあるいはそれ以上にもできる。しかし大抵の低電圧用途では、炭素膜の厚さが2,000 Å未満、一般に約1,000 Åとなり、必要であれば200 Åまたはそれ以下の厚さにもできる。

ここに開示する本発明の実施態様には3種類の薄膜電気装置が含まれる。即ち実質的に垂直方向の電流導電路を有する形式の装置と、実質的に水平方向の電流導電路を有する形式の装置と、実質

的に斜め方向の電流導電路を有する形式の装置である。

本発明の装置と構造は極めて安定で、閾値切換え装置の種々を用途に特に適する。閾値切換え装置の用途には、(1)サージの抑制 (2) 雷、静電放電 (ESD)、電磁パルス (EMP) および電磁誘導 (EMI) のような高電圧遷移電流に対する保護 (3) 米国特許第3,708,717号と第3,573,757号に開示される薄膜メモリアレーや薄膜電界ルミネセンス表示等の電子アレーのセルまたは画素分離装置 (4) W. Csabaty, 他名義の1986年8月22日付同時係属出願、米国特許出願第899,442号に記載されているような電子アレー用の薄膜ラインドライバ回路が含まれ、該出願の内容は本明細書中に含まれるものとする。

本発明の別の面によると、半導体材料層と該層と電気的に密接に接触する非単結晶炭素材料から成る第1導電膜とを有する電気装置の製造方法が

特開昭63-142690(7)

提供される。この方法は(a)部分真空を構成して後続の全段階を実施する間この部分真空を連続的に維持する段階と、(b)前記半導体材料層を堆積する段階と、(c)前記炭素材料の第1層を堆積する段階とを含んで成る。この方法はまた(d)第1炭素材料層の半導体材料層と反対側で第1炭素材料層と電気的に密接に接触する高導電性電極層を堆積する段階も含んで成る。

別の方法として、上記の段階を(d)-(e)-(b)の順序で実施してもよい。

本発明の方法はまた、非単結晶炭素材料から成る第2導電層を半導体材料層と電気的に密接に接触させて堆積する段階をさらに含んで成る。また前記第2炭素材料層の前記半導体材料層と反対側で第2炭素材料層と電気的に密接に接触する高導電性電極材料から成る第2層を堆積する段階をさらに含んでもよい。

本発明の別の面として、少なくともその一部分

および第2層を順次堆積することにより前記下部層と第2層の間に前記開口部と第1層と活性層とを通つて電流を導通する垂直導電路を形成する。本方法はまた、前記真空下で前記第2層の上にパッシベーション層を堆積して、前記活性層を気密封止し汚染源から保護する段階を含んでもよい。

本発明の別の面では、電流を導通し得る下部電極層と、前記下部電極層の少なくとも一部分の上に形成(例えば堆積)されて、下部電極層表面の一部分を露出する開口部を少なくとも1つ形成されている絶縁性材料層と、少なくともその一部分が2つの電子的に区別可能な状態間で変更または切換えることができ、かつ前記開口部に重なりつて前記開口部の少なくとも前記下部電極層に隣接する部分を埋める活性材料から成る堆積層と、前記活性材料層の少なくとも一部分の上に形成(例えば堆積)される上部電極層とを有する固体電子装置の改良が提供される。この装置の改良は、前記

が2つの電子的に区別可能な状態間で変更可能でかつ2つの電極層間に挟まれる閾値切換え材料または相変化メモリ材料から成る堆積活性層を有する電気装置の製造法が提供される。この方法は、(a)部分真空を構成して後続の全段階を実施する間それを連続的に維持する段階と、(b)前記活性材料に関して比較的の不活性の電極材料から成る第1層を堆積する段階と、(c)前記第1層の少なくとも一部分の真上に前記活性材料から成る層を堆積する段階と、(d)前記活性材料層の少なくとも一部分の真上に前記活性材料に関して比較的の不活性の電極材料から成る第2層を堆積する段階とを含んで成り、前記活性層と前記第1および第2電極層との間に極めて清浄な界面を形成する。本方法はさらに(d)電導性下部層の上に絶縁性材料を形成する段階を含んでもよく、前記絶縁性材料が開口部を有し、その中に前記下部層の少なくとも一部分を露出しており、前記開口部の中に前記第1層、活性層か

開口部形成後で前記活性材料の堆積前に、導電性で相安定性の非切換え非単結晶材料から成る薄膜をさらに設けることから成る。この薄膜の少なくとも一部分を、前記開口部内部の前記下部層と前記活性材料層の間にこれらの層と電気的に密接に接触させて配設する。

別の実施態様として、上記の固体電子装置と同じ形式の装置の別の改良が開示される。この別の改良では、装置の開口部を形成する前記絶縁層のほぼ全面を一般に前記部分から斜め上方向に下部層に対して70度未満の平均角度で傾斜させることによつて、前記活性層を前記開口部に堆積する際に関連して生じる段差の問題を実質的に無くすることができる。好適平均角度は約35°から約55°の範囲内である。この選択の実施態様では、装置の開口部が通常非常に小さく、例えば下部層に沿つて測定した時10ミクロン未満の寸法を少なくとも1つ有する。

特開昭63-142690(8)

本発明のその他の面、目的、特徴および利点については、添付図面を参照しながら以下の詳細な説明および特許請求の範囲を読むことにより明らかとなろう。

(以下余白)

好適実施態様

添付図面に本発明による幾つかの電気装置を示すが、その何れも複数の電極と、電極に関連する複数の炭素材料薄膜と、炭素材料薄膜と電気的に密接に接する半導体材料⁽⁵⁾体またはその層とを有する電流搬送固体半導体装置である。各電極がそれぞれの炭素材料薄膜と電気的に密接に接触していることにより、一方の電極に流入した電流がその炭素材料層を通り、半導体材料を通つて第2炭素材料層に入つた後に第2電極に至る。次に本発明の実施態様を、本発明が特に適する閥値切換え装置に関連して説明する。

まず第1図を参照すると、好適には閥値切換え装置である本発明の電気装置30が示され、この装置は障壁層として炭素材料から成る1対の導電膜を用いており、該膜は半導体または活性材料から成る中央層と上下の金属電極との間に配設される。それぞれの炭素材料膜を、隣接する電

極の一部分とみなすこともできる。装置30は基板32上に形成されるが、装置の用途に応じて基板は導電性でも絶縁性でもよい。導電性基板に通ずる材料としてステンレス鋼、銅、アルミニウムがあり、絶縁性基板の材料としてはガラス、結晶シリコンおよび結晶サファイヤのウェーハがある。基板32の上に電極材料領域または層34、炭素材料膜36、半導体または活性材料⁽⁵⁾体または層38、上部炭素材料領域または膜40、上部金属電極42が順次堆積される。

電極34、42はモリブデンで形成するのが好適であるが、導電性の高い材料、好適には高融点で層38の半導体材料に対して比較的不活性の材料であれば、例えばタンタル、ニオブ、タングステン、モリブデン、タンタル・タングステン合金など任意の材料を用い得る。膜36、40は導電性、非単結晶の相安定性の非切換え炭素材料である。薄膜36は界面44で電極34と、また界面

46で半導体層38と電気的に密に接触する。炭素材料層40は界面48で半導体層38と、膜40と上部電極42間の界面50で上部電極42と電気的に密に接触する。

電極層34、42の堆積はスパッタリング、蒸発、蒸着等の従来技術の中から適当なものを用いて行なうことができる。好適には電極層は、電極層を堆積する表面を十分に冷却しておくことによつて原子が堆積面と接触すると直ちに凝縮して低配向秩序または非晶質状態になるようにして非晶質膜として堆積される。

炭素材料膜36、40は直流マグネトロンスパッタリングを用いて堆積するとよい。代表的工程パラメータは基板温度約100℃、圧力0.5パスカル、堆積速度200~300Å/分、ソース・ターゲット間距離約6cmとする。この条件下で得られる炭素材料膜は均等に非晶質(α-炭素)となる。望ましくは純粋な炭素をソースとして、結

特開昭63-142690(9)

果的に得られる膜も実質的に純粋炭素となるようにする。ここで用いる純粋炭素ソースとは、純粋炭素を少なくとも99.9%、望ましくは99.99%含有する材料から成るソースを意味する。非晶質炭素がこのような条件下でスパッタされた場合、その抵抗率は約 $0.25 \Omega/\text{cm}$ と低くなる。

実質的に非晶質の炭素から成る導電性薄膜をスパッタリング形成する方法、およびこの様な膜の電気的、構造的特性についての詳細な情報がN. Savvides 著、「ダイヤモンド状非晶質炭素膜における四重ないし三重遷移：光学的、電気的特性についての研究」、Journal of Applied Physics, Vol. 58, 61, pp. 518~521 (1985年7月)に示されており、本明細書にその内容を含むものとする。

層38の閾値切換え材料その他の活性材料の堆積は、当業者に周知の従来技術の中から適当なものをを用いて行なわれる。第1図の装置の層38

装置30を製造する際は、基板32を部分的真空下に連続的に維持しながら層34~42を逐次堆積するのが非常に望ましい。こうすることで層間に極めて清浄な界面が形成でき、空気、水蒸気、塵埃等の相当量の汚染物が界面を汚染する可能性を大幅に減少することができる。このことは界面44~50の物理的結合性を良くするだけでなく、層間に高品質の電気界面を形成することを可能にする。このような清浄界面は、装置の反復性と長期安定性に悪影響を与え得る局部加熱効果や半導体材料の不要の局部結晶化を生む核形成部位を大幅に減少するのを助けると考えられる。

表1に示したように、装置30の層34~42は薄膜にするのが望ましい。ここで用いる「薄膜」という用語は、一般に膜厚5ミクロン未満の膜を指す。但し当業者には理解されるように、本発明の実施態様の全体的な膜厚を拡大して、少なくとも幾つかの層、例えば半導体層38や電極層34、

(およびその他の図に示した各装置の活性層)に使用するのに好適な閾値切換え材料は、カルコゲニド元素、即ち硫黄、セレンおよびテルルの1種類またはそれ以上を含む非晶質半導体から成る薄膜である(但し過電圧保護、電圧固定その他の電子用途において使用するのに適当な切換え挙動を示す半導体材料であれば、任意のものを本発明装置に用いてよい。)

装置30を薄膜閾値切換え装置として使用する場合は層34、42に関する好適組成を下の表1に示す。膜厚の単位はÅである。

表 1

参照番号	材料例	膜厚 範囲	典型的膜厚
42	モリブデン	1,500-25,000	5,000
40	a-炭素	100- 2,000	1,000
38	$\text{Te}_{30}\text{As}_{30}\text{Si}_{17}\text{Ge}_7\text{P}_1$	100-50,000	5,500
36	a-炭素	100- 2,000	1,000
34	モリブデン	1,500-25,000	5,000

42の膜厚を5ミクロン以上にすることも可能である。

半導体膜(層38)の膜厚は特定の特定閾電圧(V_{TH})に関係し、当業者に周知の方法で調整することができる。平均的には、表1に挙げたような半導体材料の閾電圧は、導電路1ミクロン当たりほぼ15ボルトになる。従つて例えば第1図の形式の縦形閾値切換え装置において8~9ボルトの閾電圧を達成するには、層38の膜厚をほぼ5,200~6,000 Åにする必要がある。

第1図の構造および本発明のその他の構造に使用する各種薄膜の厚さは、関係技術分野において周知の幾つかの技術のうち任意のものをを用いて容易に制御できる。当業者には容易に理解されるように、半導体層38の膜厚を加減するだけで装置30の閾電圧をずつと高くも低くもできる。

電気装置30の動作時では、その第1電極からの電流が第1炭素層の少なくとも一部分を通り、

特開昭63-142690(10)

半導体材料の少なくともフィラメント状導電路または部分を通つた後第2炭素層を経由して第2電極に至る。電流は抵抗の最も小さい導電路をとり、抵抗率が均等な材料の場合はそれが常に最短または最も直線的なルートになるはずであるため、第1図の炭素薄膜36、40および半導体層38における電流導電路は実質的に垂直になるはずである。

第1図の構造も含めて本発明の構造のもつ重要な利点の1つに長期直流安定性に非常に優れるということがある。従来の閾値切換え装置の場合、装置をオン状態に切換えて比較的大きな電流を流す直流パルスで1回ないし数回受けただけで閾電圧が変化してしまう。この変化は、電極材料や処理残留物が熱移動または電熱移動により活性層または半導体層に侵入し、その層の形態および/または化学条件を変更するためと考えられる。例えば閾値切換え材料（または相変化メモリ材料）を

加熱すると、その閾電圧値が下がるが、冷却すると再び元の閾電圧値近くまで戻ることが知られている。しかし直流パルス誘導による加熱回数が増すに従つて、閾電圧値は次第に劣化して行く。これに反して発明者らの試作した本発明装置の場合、直流パルスによる加熱を多数回行なつた後でも閾電圧値は常に元の数値に復帰する。従来形装置の場合、装置をオン状態にしたままで長時間に亘つて連続的に直流電流を流すと、この閾電圧値劣化の問題はさらに深刻になる。しかし本発明による試作装置では、数日間に亘つて直流大電流を流し続けても閾電圧値に大きな変化は見られない。このため本発明の装置は、直流電流または電圧に繰返とか長期間曝す必要がある用途に適し、また加熱効果による劣化に対する耐性を有する。

第1図に示した基本的な装置構造でも多くの用途に有効であることは明らかであるが、用途によ

つては第1図の多層構造の中の幾つかまたは全部をパターン化して第2図や第3図に例示するようなメサ構造にするのが望ましいことが分かった。

第2図は共通基板32上に配設した2つのメサ構造62、64を含む薄膜構造60を示す。メサ構造62、64はそれぞれの上部電極にそれぞれ接続されている導体66、68を備える。メサ構造62、64は共通電極を有する2つ別個の閾値切換え装置を構成している。全体的構造60は従来のリソグラフィ技術およびエッチング技術を通じて第1図の多層構造30を適当にパターン化することによつて構成できる。構造60は共通電極34と共通炭素材料膜36を含む。特定のには第2図に示すように、層38、40、42を層38₁、40₁、42₁から成る組と層38₂、40₂、42₂から成る組にパターン形成する。層38~42のパターン化後、構造全面に絶縁層70を堆積する。層70は酸化シリコン(Si_xO_y)、窒化シリ

コン(Si₃N₄)、または好適にはシリコンオキシニトリド(SiO_xN_y)のような任意の薄膜絶縁材料を堆積したものでよい。層70の膜厚は一部には層38~42の膜厚の和にもよるが、表1に示した典型的な層38~42の膜厚については約0.3~2.5ミクロンの範囲とし、好適には0.6ミクロンである。層70の堆積後、従来のホトリソグラフィ技術とエッチング技術を用いてメサ構造62、64上の方の層70に開口部または引出し部72、74を設ける。その後構造60の全面に上部金属化層を堆積し、パターン化してメサ構造62、64に対し個別に導電線66、68を設けることにより、別個の電気装置としてアクセスできるようにする。層34および配線66、68を同一基板上に接続されている他の薄膜装置または電子パッド（不図示）に接続することにより、閾値切換え装置62および64への接続を容易に行なうことができる。構造60の各種薄膜層のエツ

特開昭63-142690(11)

チングは、当業者に周知の従来のエッチング剤の中から乾式、湿式を問わず適当なものを用いて行なうことができる。

第3図は2つのメサ構造82、84を含む薄膜構造80を示し、メサ構造82、84には第2図のものより多くのパターン化層が含まれる。特定的には図示のように、層34を部分的にエッチング除去してメサ構造82、84用の導電パッド34₁、34₂をそれぞれ形成する。これらのパッドが下部電極として作用する。同様に薄膜炭素層36もエッチングして図示のような36₁と36₂の部分形成する。後の処理段階は第2図に関して説明したのと同じように進めて、層38、40、42から成る別個の部分形成する。構造82の下部電極34₁が図示のように左側へ延設されており、部分86において下部電極と接触ができる。下部電極部分34₂も同様にスペースの許す任意の方向に延設して、該電極部分に対する電気接触を設

け得る。このようにメサ構造82、84においては、両電極層、両炭素膜層および半導体層がパターン化されて完全に分離された閾値切換え装置を形成する。必要に応じ、図示のように配線66、68にパターン形成された2つの上部金属化層間を、配線66、68と同時にパターン形成し得る接続部90により相互接続してもよい。このように必要に応じて両装置66、68を並列に接続することにより、電流搬送能力を高めたりその他の目的を達成することができる。

(以下余白)

第4A図の薄膜構造100は本発明の別の縦形実施態様である。構造100は前述の層34~42の他にさらに2つの層、即ち開口部または穴104を有する絶縁層102と絶縁層102の上に堆積される非常に薄い炭素膜層106とを備える。層102、106は図示のように薄膜炭素層36と半導体層38の間に挟まれる。開口部104の水平長108は所望の大きさ、例えば10ミクロン、5ミクロンまたはそれ以下にできる。絶縁層102の膜厚は1,000~10,000Åの範囲またはそれ以上にできるが、好適には2,400~6,000Åである。電極42のアンペア容量を上げかつ放熱効果を改善したい場合は、望ましくはアルミニウムで形成される高導電性の上部金属化層110を上部電極42と電気的に密接に接触させて約0.5ミクロンから2.0ミクロンの厚さに形成するとよい。第4B図の装置と同様、第4A図の構造100も必要であれば開口部104の上部左縁112と

上部右縁114の外側から小距離(例えば2~10ミクロン)の個所で各層をエッチングするだけでメサ構造にパターン形成することができる。

第4B図に示したメサ構造118は、層42を堆積する前に層106、38、40を図示のようにパターン化する点を除いて、第4A図と同じ基本構造100を用いて形成する。層42を堆積すると、該層はパターン化層106、38、40によつて形成されるメサ構造を超えて延びるため、層106、38、40を有害環境条件に晒されないように気密封止するキャップ層またはパッシベーション層を形成する。その後好適にはアルミニウムの上部金属化層110を堆積し、必要に応じて配線として適当な形状にパターン化することができる。

構造100および118を製造する際、望ましくは部分真空を連続的に維持しながら層34、36、102を順次堆積する。その後絶縁層の上

特開昭63-142690(12)

にホトレジスト層を堆積し、露光、現像して層102に開口部104を形成するのに適するマスクを設ける。その後層102を適当な溶剤またはドライエッチング剤を用いてエッチングして開口部104を形成する。その後ホトレジスト膜を除去。半導体材料と下部電極34の間の界面の結合性を高くできるように部分真空を設定し、基板32をこの部分真空下に連続的に保持したまま層106, 38, 40, 42を逐次堆積する。層106, 38, 40の堆積は、適当な大きさの開口部を有する金属マスクを使用し、かつマスク開口部を開口部104の上の中心に配位した上でマスクを介して行なうのが好適である。必要であれば層42も、やや大きい開口部を有する別の金属マスクを開口部104上の中心に配位し、そのマスクを介して堆積することができる。層106, 38, 40をマスクを介して堆積することにより、表面状態を悪くするなど層38を汚染するおそれ

のあるエッチング剤やホトレジスト材料に活性層38を晒す必要が無くなる。

層106の膜厚は30~300Åの範囲、好適には60~200Åであり、60~100Åが最も望ましい。半導体層または活性層38を堆積する前に層106を堆積することで少なくとも2つの利点が生ずる。第一に層106を層36の材料と同じにした場合、またこのことが非常に望ましいのであるが、当該層間の界面に電子効果や干渉がほとんど無くなり、両層間に非常に良好な機械的結合と微小抵抗の電気的接触関係が生ずる。第二は層106, 38, 40の堆積中に部分真空を連続的に維持することにより、層106がまだ清浄状態にある(堆積直後であるため)間に層106の上面に活性層38を堆積できる点である。従つてこの方法によると、活性層38と障壁層106, 40の間の界面の外気との接触による汚染や欠陥を実質的に無くすることができる。

第4B図の装置においては、図示のように絶縁層102が第4A図の対応層102より相当厚くなっている。例えば層106, 38, 40の膜厚の和を6600Åとすると、第4B図の絶縁層102の厚さは6500Å、また好適にはこれよりやや厚い8000~12000Åにできる。また第4B図の開口部104を形成する絶縁層102'の側壁または側面は、第4A図の開口部104を形成する側壁に比べてさらに垂直に近くなっている。このような急傾斜または実質的に垂直の側壁は、当業者に周知のように反応性イオンエッチングのような異方性ドライエッチングにより形成することができる。絶縁層がより厚くなり、側壁がより急峻になつたことにより、開口部104内にある層106, 38, 40の中央部分は絶縁層102の上にある層106, 38, 40の外側部分より実質的に下がつているため、電流を流すことのできる層38の有効断面積が開口部の断面積

に物理的に制限される。これによつて構造内のリーク電流を制御することができ、従つて電気装置のオフ抵抗がより予測可能になる。また層42に対しても活性層38の前記開口部内の部分を有効に気密遮止することを可能にする。

第4C図に示した電気装置124は、第4B図の構造118と同じように構成されるが、開口部104'を形成する絶縁層102の1つまたはそれ以上の表面部分から成る表面が、傾斜面部分126, 127として示されるように実質的に傾斜する側壁である点が異なる。傾斜側壁の構成は、例えば従来のウェットエッチング剤の適当なものを用いて絶縁層102の中央部分を等方性エッチングにより除去することにより実施できる。こうして獲得されるエッチング処理面は当業者に周知のように円弧状になる。別の方法として、エッチングしたい層に対して垂直方向に高エネルギー粒子を衝突させるドライエッチングと、反応性ガス種による

特開昭63-142690(13)

全方向の化学エッチングを用いて第4C図に示す表面部分126, 127のような傾斜面を形成できる。例えば反応性イオンエッチングを用いて、陰極基板間バイアス電圧、圧力およびガス流速を調整して垂直エッチング対水平エッチングの比を、従つて傾斜の所望角度を得るよう制御することで開口部104'の傾斜側壁を形成することができる。層38の水平面から測定した平均的傾斜度は、堆積する材料にもよるがおよそ30°~70°の範囲であり、好適には約35°~55°、例えば45°である。

第4C図に示した構造124は、第4A図と第4B図の構造に優る利点を少なくとも1つ有する。即ち段差の問題がほとんど無い点である。絶縁層102のような膜厚約5,500オングストロームの絶縁層内に実質的に垂直の側壁を有する直径数ミクロンの円形開口部を設けた場合、その中に半導体または活性層38を堆積する時必ずしも均等堆積にはならない場合があつた。これは孔や張り出

積を開口部最小部分(即ち開口部底部)の面積と実質的に等しくしておきたい場合、層106をできるだけ薄くすると共に抵抗率を十分に高く構成することにより、層106の例えば傾斜面126, 127に沿う抵抗のような横方向抵抗が正常な動作条件下で装置を流れるリーク電流に実質的に加わらないようにする必要がある。これによつて層106の傾斜部分が付加的リーク電源となるのを有効に防止できる。上に開示した純粋な非晶質炭素材料を堆積する際、スパッタリングのパワー密度を調整するだけで、ほとんどの程度の所望抵抗率でも容易にもたせることができる。層106の炭素材料の代わりに、当業者に周知のその他の絶縁層材料で活性層38に対して実質的に不活性でありかつ適当な抵抗率を有する(または有するよう変更し得る)ものを使用してもよい。

第4C図の構造は、直径10ミクロン未満の開口部または穴、特に直径1~5ミクロンの穴を有

しのような段差の問題によるものと考えられる。このような不均等は絶縁層102の開口部内の活性層38の膜厚に変動を生じ、これは第4B図に示したのと同等またはさらに深刻なものとなる。このような膜厚の変動その他の段差の問題は、漏電圧値といった活性層の主要電気特性において無制御の変動を生じる結果となる。側壁を傾斜させることで段差の問題を実質的に無くし、装置特性を非常に均等なものにする大きな助けとなるはずである。さらに後に説明するように、開口部の最小有効断面積が直径108によつて決定されることから、構造124と同じ直径108を有する開口部から予測される以上のリーク電流を構造124が呈することはない。

必要であれば第4C図の構造から炭素障壁層36, 106, 40を省略して、電極層34, 40と活性層38を直接接触させることができる。層106を使用する場合で装置124の有効断面

するメモリセルに特に適すると考えられる。第4A~4C図の構造は3つの炭素層36, 106, 40を用いているが、必要に応じて層36を省略して層106と電極層34を直接接触させてもよい。層36を省略した場合、層106の膜厚を大きくして200~500Åまたはそれ以上にするのが望ましい。

第5A図と第5B図の薄膜構造146は本発明による別の電気装置であり、上下の電極間の第5A図にクロスハッチで示した領域にのみ垂直導電路147を備える。装置146は絶縁面を有する任意基板32上に構成することができ、金属電極層34と薄膜炭素層36とから成る下部電極と、閾値切換え材料から成る活性層38と、薄膜炭素層40および金属電極層40から成る上部電極とを含んでおり、全ての層を図示のようにパターン化して動作配設するのが望ましい。装置146の中央活性部分は、その下にある各種の層、特に層

特開昭63-142690(14)

(膜厚単位: オングストローム)。

表 II

参照番号	材料例	膜厚範囲	典型的膜厚
155, 156	アルミニウム	1,500-2,500	2,000
148	一酸化シリコン	1,500-2,000	1,500
42	クロム	1,500-2,500	1,500
40	a-炭素	500-1,000	1,000
38	$\text{As}_{34}\text{Te}_{26}\text{S}_{21}\text{Ge}_{16}\text{Se}_1$	4,000-6,000	5,000
36	a-炭素	500-1,000	1,000
34	クロム	1,500-2,500	1,500

38に対して比較的不活性の絶縁性材料から成るパッシベーション層148によつて完全封入または気密封止されている。導電路147の断面積は、下部電極の指状部分151と上部電極の指状部分152との間の長手方向の重なり量149と横方向の重なり量150とによつて決定される。図示の実施態様では、横方向の重なり150が小型指状部分151の幅と等しい。上下電極はまた装置146の中央領域から離れた個所にも大型の接触部分153, 154を含んでおり、ここで装置に対する電気的相互接続が行なわれる。それぞれ接触パッド157, 158(部分的に図示)を有するさらに大型の接触電極155, 156を必要に応じて設けて、はんだ付け等の簡単な結合技術を用いて装置に対する電気接続を行えるようにすることもできる。発明者らの試作した装置146は酸化シリコン表面層を熱成長させた単結晶シリコンウエーハの上に表IIに示したように形成した

数百個の装置を同一基板上に同時に形成した後、采の目に切つて個別の装置としたものをD0-18パッケージに挿入して試験を行なつた。試作装置146は温度100℃~150℃で動作した場合にも優れた長期直流安定性を示した。試作装置146がこのような好成績を示したのは、障壁層

として非晶質薄膜炭素を用いて活性層38の形態安定化を助けていることと、部分的真空を連続的に維持しながら装置146の中央領域の製造および封止する方法を好適な方法としてとつたことによるものと考えられる。

本発明による装置146の試作品を製造する好適な方法として、基板32を従来のウェットエッチ液を用いて洗浄した後、真空堆積室内に入れ、室内を減圧して各種方向性電子ビームスパッタリングや熱蒸発工程を行なうのに必要な真空レベルを維持した。層34~42および層148を、4つのパターン化用マスクを用いて図示のように堆積した。マスクはそれを用いて堆積する1つまたは複数の層に対して所要の輪郭線と対応する開口部をそれぞれに設ける。各マスクを基板に必要なだけ近接する所まで移動させ、注意深く整合した。部分真空を連続的に維持する中で下部電極金属層34と炭素層36を第1マスクを介して堆積し、

第2マスクを介して活性層38をスパッタリング形成し、上部電極炭素膜層40と金属層42を第3マスクを介して堆積し、パッシベーション層148を第4マスクを介してスパッタリング形成した。第5B図には、開口部159aを有する第4マスクの一部分159を基板32に關して整合した状態を概略的に示している。4つのマスクと基板間の垂直距離を適当な範囲内、例えば20~50ミクロンとした。第5B図の6つの垂直矢印は材料148が第4マスクの開口部159aを介して堆積される際に基板32に対して垂直に向かう相対的方向を示す。使用した金属マスクの開口部は最小サイズを25ミクロン程度としたが、これは第5A図の寸法149に相当する。マスクを介してのスパッタリングまたは蒸発により材料を堆積する技術は以前から周知であるため、ここでは詳しい説明を省くことにする。上記のような装置146の製造方法によると、層38を堆積して

特開昭63-142690(15)

清浄な状態に保つことができる。これは、層38が、層38の表面状態(特に側面および縁部に沿つて)にリーク電流路を形成し得る空気、水蒸気あるいは従来の湿式または乾式のリソグラフィパターンニング技術に関連して使用されるまたは発生するエッチング剤、処理ガス、流出液、残留物、およびその他の汚染に関連する問題にあまり晒されなかつたためである。

第6図の構造130は本発明電気装置の横形実施態様である。これまでに説明した図の縦形構造に比べて横形装置が優る点の1つに層の数が少なくて済み、従つて製造工程も少なくできることがある。しかし横形装置は1つの電極を他の電極の垂直方向に上に設ける典型的な縦形構造に比べて所要面積が大きくなる欠点もある。図示の基板32'は導電性材料、好適には熱伝導性の高い銅等の金属または金属合金で形成して装置130動作時に発生する熱の放散を助けるようにする。層

層38を非晶質カルコゲニド半導体材料で形成する場合は、その膜厚を0.5ミクロン~2ミクロン程度またはそれ以上として、高電流密度のフィラメント状またはプラズマ状導電電流を支持できるようにする必要がある。

構造130は下記のように製造することができる。基板32'を洗浄した後、絶縁層132を堆積し、誘電品質を改良したい場合はアニールする。その後部分真空を連続的に維持する中で、半導体層38、薄膜炭素層40、および電極層42を連続的に堆積する。その後適用ナリソグラフィ技術とエッチング技術を用いて電極層42、薄膜炭素層40を図示のようにエッチングする。次に適当なホトレジストを構造全面に塗布し、半導体層38の電極42a、42b下部を除いて全領域が適当なエッチング剤によりエッチング除去される一方、半導体層の中央部分138はエッチングされないようにパターン化する。このパターン化に

132は電気的絶縁材料であり、例えば堆積ダイヤモンド、シリコンオキシニトリド、酸化ベリリウム、アルミナまたはスパッタ形成した石英等のような比較的熱伝導特性のよいものとし、半導体層38からヒートシンクの作用をする基板32'まで熱を比較的効率的に伝達できるようにする。層132の膜厚は100~500Åまたはそれ以上が好適である。所要膜厚は層132として選択した絶縁性材料の誘電品質の他、動作時に基板32'と半導体層38の間に生じる電位差によつても決定される。

構造130は第1電極42aおよび第2電極42bと、これら2つの電極に関連する第1炭素膜40aおよび第2炭素膜40bを含む。動作時、一方の電極、例えば電極42aに流入した電流が該電極と関連する炭素膜40aを通過した後、半導体層38を水平方向に通り、第2電極42bと関連する第2炭素膜40bを垂直方向に通過する。

用いたホトレジスト層を除去した後、絶縁性材料層70を堆積、パターン化して電極引出し部140、142を形成し、上部金属化層が電極42a、42bと電気的に接触できるようにする。その後上部金属層を図示のような導体144、145にパターン形成する。必要に応じて上部金属化層を1.0~2.5ミクロンまたはそれ以上の適度の厚さとして、構造130からの熱の逃げ道をさらに設けるのを助けることができる。

第7図に示した薄膜構造160は、閾値切換え装置として使用するのに適する本発明の別の実施態様である。構造160は後述するように2つの電極間に点線162で大体の方向を示す実質的に斜めの電流導電路を有することを特徴とする。構造160は、この電流導電路の近傍に傾斜面または斜行面166を設けたパターン化絶縁層164を含む。第1電極34aとそれに関連する炭素膜層36aをパターン化絶縁層164上に配設する。

特開昭63-142690 (16)

第2電極34bとそれに関連する炭素膜層36bを、絶縁層164の傾斜面166に隣接する基板32上に配設する。電極34aと34bは相互に間隔をあけて配設する。それらに関連する炭素膜層36aと36bも、図示のように相互に間隔をあけて配設する。炭素層36aの部分170と炭素層36bの部分172が、薄膜炭素層の中で最も近接する部分であり、斜め方向に間隔をあけて配設される。半導体層38が薄膜炭素層36a、36bの上に堆積され、少なくとも炭素層36aおよび36bの最寄部分170と172との間に延びて、その間に電流導電路を構成する。電流導電路の長さは、絶縁層164の高さ174と層164の傾斜面166と基板32間に形成される角度176によつて大部分決定される。そのため電流導電路132の長さは、絶縁層164の厚さ174および角度176を調整することによつて容易に制御できる。半導体材料38の劣化を防ぐ

パターン化絶縁層164上に矢印192で示すように方向性スパッタして、絶縁層164の上部および基板32の裏面部分193上に電極材料を堆積する。この際に傾斜面166上には電極材料がほとんど堆積されないようにする。

第8B図の部分完成構造200は、電極層34堆積後の幾つかの処理工程を示す。まずホトレジスト材料層202を堆積し、パターン化して電極層34a、34bに図示のようなマスク202aおよび202bを形成する。その後電極層34a、34bを等方性ウェットエッチングにかけて第7図に示す角部分194a、194bを除去することにより、空間部204、206で示すように電極層34a、34bを傾斜面166からやや離れた位置まで後退させる。次にホトレジストマスク202a、202bを除去する。次に部分真空において、第7図で電極層34を堆積した時のように炭素電極層36aおよび36bを電極34aお

ために、図示のようにパターン化半導体層38を封入するパッシベーション層72を構造160に設けるのが望ましい。構造160の半導体装置への接続は、電極34a、34bの伸長部分または伸長路184a、184bにおいてそれぞれ行なうことができる。

第7図の構造160の好適な製造方法を第8A図と第8B図の部分的に構成した構造で示す。第8A図の部分完成構造190を形成するためには、絶縁性材料層164を基板32上に堆積し、ホトレジスト層をその上に堆積し、パターン化して続いて行なうエッチング工程に必要なマスクを形成する。次に層164を適当な異方性ドライエッチングにかけて層の右半分を除去すると共に傾斜面166を残す。ドライエッチングの異方性を制御することにより、45〜90度程度のかかなり急峻な角度176を作る。その後ホトレジストマスクを除去する。次に電極層34を基板32およびパ

および34b上に一定角度で方向性スパッタリングする。この方法によると炭素材料が面66上に実質的に全く堆積されない。次に真空を維持したまま半導体層38を炭素電極層36aおよび36bの上に堆積する。層38をパターン化して側面208a、208bを形成する。薄膜炭素層36a、36bも図示のようにパターン化することができる。これら2段階のパターン化で電極部分184a、184bが露出される。その後パッシベーション層72を堆積して図示のようにパターン化を行ない、再び電極34aおよび34bの伸長部分184a、184bを露出する。必要に応じて炭素層36、半導体層38およびパッシベーション層72の各層を第8B図に関連して説明したように開口部を有する適当な金属マスクを介して堆積することにより、前記真空下で各層のパターン化を行なうことができる。

第5A図を除いて第1〜8図の中には本発明の

特開昭63-142690(17)

構造の平面図を示しているものはないが、当業者であれば本発明の構造を色々な大きさおよび形状で形成できることは容易に理解されよう。例えば第4図の絶縁層に設ける開口部は円形、正方形、長方形など任意の形状にできる。尚ほ第5図の電極間距離も調整できる。

(以下余白)

以上の実施形態は閥値切換え半導体材料に関しして説明して来たが、層38としてメモリ半導体材料も使用できることを理解する必要がある。メモリアレーの1個のセルとして作用するメモリ半導体装置は、絶縁性材料層に設けた開口部または穴の中に形成されるのが普通である。このようなメモリアレーについては、例えば前出の同時係属出願である米国特許出願第899,442号および第4,599,705号に開示されている。穴の直径は例えば1ミクロンから10ミクロンの範囲とすることができる。第4図の各構造は次の第4B図に関する説明で示すように、メモリ装置として作用するように容易に構成することができる。

第4B図の構造の層38として使用できる再設定可能なメモリ半導体材料の典型的なものは、下の表Ⅲに示すような3つの層38a~38cで構成できる。これらの層38a~38cは、垂直方向に順次に積層された薄膜である。層38a~

38cの相対的な順序は維持する必要があるが、最上層を38aとしても38cとしても支障ない。第4B図の集積構造をこのようなメモリセルの集積アレーの薄膜メモリセルとして使用する場合は、その他の層の典型的膜厚も表Ⅲに示す。

表 Ⅲ		
参照番号	好適材料	典型的膜厚 (単位: Å)
110	アルミニウム	7,000
42	モリブデン	1,000
40	a-炭素	60
38c	Te	3,000
38b	$\text{Ge}_{45}\text{Te}_{31}\text{Sb}_2\text{S}_2$	2,000
38a	$\text{Ge}_{24}\text{Te}_{72}\text{Sb}_2\text{S}_2$	2,000
106	a-炭素	100
102	SiO_xN_y	5,500
36	a-炭素	100
34	モリブデン	1,500

表Ⅲに挙げたメモリ材料は、一般にスパッタリングにより実質的に非晶質状態かつ高抵抗に堆積される相変化カルコゲニドメモリ材料である。上記「発明の背景」の項のBに引用した米国特許に開示されているメモリ半導体材料の任意のものを本発明電気装置に用いても、メモリ装置またはセルを形成することができる。それらの特許に記載のメモリ材料の中には多数回の再設定可能な材料であり、また前記米国特許第4,499,557号と第4,599,705号に記載の相変化メモリ材料は、設定可能であるが実質的に再設定不能である。後者のようなメモリ材料は普通シリコン、ゲルマニウムまたは炭素のような四面体元素を含む非晶質材料を堆積したものであり、合金として形成するのが好適であり、水素および/またはフッ素のようなドーパントおよび/または1種またはそれ以上の状態密度低減元素を含むことができる。

本発明の構造を用いて構成されたメモリ装置は、

特開昭63-142690(18)

その電極構造の一部分に炭素膜層を使用しているために長期直流安定性を示すことが期待される。当業者には理解されるように、本発明による積層、縦型および斜め型の薄膜構造においてその他任意の半導体材料または活性材料を用いることができ、高不活性の薄膜炭素電極を備えることから恩恵を受け得るその他の用途にも本発明の構造を使用できる。また、本発明の薄膜装置は、周知の膜形成技術や処理技術を用いて1つの大面積基板(例えば $100 \sim 1000 \text{ cm}^2$)上に数百個から数千個あるいはそれ以上ずつ同時に形成できるため、製造の経費化を図ることができる。

以上、本発明の幾つかの好適実施態様に関して説明して来たが、当業者であれば本発明を説明するべく選択したこのような好適実施態様に対して本発明の主旨と範囲から逸脱することなく色々な変更または補足を行なうことができると認められる。例えば、前出の特許の幾つかに開示されてい

るメモリアレーのような全薄膜電極アレーまたは結晶質/薄膜混成電子アレーに本発明の構造を用いることもできる。この場合は薄膜電極層34は、薄膜構造または結晶質構造の上または中に構成されるダイオードその他の分離装置またはアドレス手段の一部も形成する下部電極形成層の上に配置してもよいし、あるいはそれに代えてもよい。特許請求の範囲の中で使用する「電極」の用語は、このような電極形成層も含めて意味するものである。従つて本発明は以上に特定の説明した以外の方法でも特許請求の範囲の中で実施することができるものと理解されるべきである。

4. 図面の簡単な説明

第1図は本発明の電気装置の部分側断面図、第2図は本発明による2つの電気装置を示す部分側断面図で、各装置が共通下部電極上にメサ構造を配設している図、第3図は本発明による2つのメサ構造装置の別の実施態様を示す部分側断面図で、

2つの装置が相互に電気的に分離されている図、第4A、4B、4C図は絶縁層開口部に形成された垂直導電路を有する本発明電気装置を示す部分側断面図、第5A図は完全に活性領域を封入した本発明電気装置の別の実施態様を示す部分平面図、第5B図は第5A図の5B-5B線に沿つて取つた拡大側断面図、第6図は本発明による横形電気装置を示す側断面図、第7図は実質的に斜行する電流導電路を有する本発明電気装置を示す側断面図、第8A図と8B図は第7図の装置の構成方法を示すため一部形成した状態で示す側断面図である。

30…電気装置、32…基板、34…下部電極層、36、40…炭素材料膜、38…半導体層、42…上部電極層。

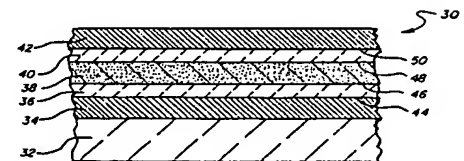


FIG. 1

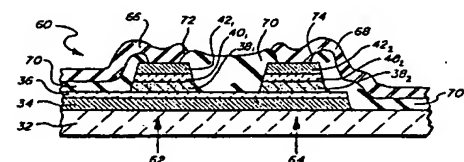
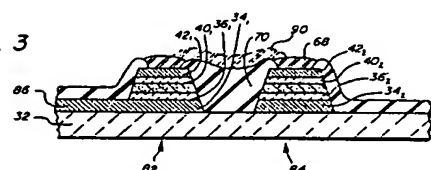


FIG. 2

FIG. 3



出願人 エンペック・コーポレーション・リミテッド
代理人 弁護士 川口 義雄
代理人 弁護士 中村 至
代理人 弁護士 船山 武

- 475 -

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.